

2004年 3月 3日 10時46分

ITOH INTERNATIONAL PATENT OFFICE

NO. 2055 P. 2

(Korean Office Action)

출력 일자: 2004/1/31

발송번호 : 9-5-2004-003306260

수신 : 서울 강남구 대치3동 942 해성빌딩 11층

발송일자 : 2004.01.30

문두현 귀하

제출기일 : 2004.03.30

135-725

특허청 의견제출통지서

출원인

명칭 후지쯔 가부시끼가이샤 (출원인코드: 519980964415)

주소 일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1

대리인

성명 문두현 외 1 명

주소 서울 강남구 대치3동 942 해성빌딩 11층

출원번호

10-2003-7008937

발명의 명칭

반도체 장치의 제조 방법 및 반도체 장치

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다. (상기 제출 기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1-10항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본원발명 청구항 제1-10항의 요지는 복수의 소자가 형성된 반도체 기판에 돌기전극의 선단부가 노출되게 수지층을 형성하고 돌기전극부에 전기접속을 위해 평납병프(슬더볼)를 형성하고 날개의 소자로 단편화하는 기술의 제공에 있습니다.

그러나 이는 이미 종래의 기술로 일본공개특허공보 평6-151487(1994.5.31.)에서 반도체 기판의 돌출부프가 노출되게 수지층을 형성하고 외부전기접속용 범프를 노출부에 접속시키는 기술과 한국공개특허공보 1994-18951(1994.8.19.)에서 복수의 소자가 형성된 반도체 기판에 전기접속용 전극과 보호수지층을 형성한 후에 날개의 소자로 단편화하는 기술의 결합으로부터 본원발명 기술 분야에서 통상의 기술을 가진 자의 수준에서 용이하게 발명할 수 있습니다.

[첨부]

첨부 1 일본공개특허공보 평6-151487호(1994.05.31) 1부

첨부 2 한국공개특허공보 1994-18951호(1994.08.19) 1부 끝.

2004.01.30

특허청

심사4국

반도체2심사담당관실

심사관 유환철



2004年 3月 3日 10時46分

ITOH INTERNATIONAL PATENT OFFICE

NO. 2055 P. 3

출력 일자: 2004/1/31

<<안내>>

문의사항이 있으시면 ☎ 042-481-5743 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

MOON & MOON International

(Japanese Translation
of Korean O.A.)

発送番号: 9-5-2004-003306260

発送日付: 2004. 01. 30

提出期限: 2004. 03. 30

特許庁(訳文)
意見提出通知書

出 願 人 氏名 富士通株式会社 (出願人コード:519980964415)

住所 日本国神奈川県川崎市中原区上小田中4丁目1-1

代理人 氏名 文斗鉉 外 1 名

住所 ソウル特別市江南区大峙3洞 942 海成ビル 11階

出願番号 10-2003-7008937

発明の名称 半導体装置の製造方法及び半導体装置

この出願に対する審査の結果、下記のような拒絶理由があり、特許法第63条の規定によりこれを通知します。意見、又は補正の必要がある場合は、前記期限まで意見書又は/及び補正書を提出して下さい。(前記期限に対して、毎回1ヶ月単位で延長を申請することができ、別途の期間延長承認通知はしません。)

[理由]

本出願の特許請求範囲第1項～第10項記載の発明は、その出願前に、この発明が属する技術分野において通常の知識を有する者が下記に指摘したものにより容易に発明することができ、特許法第29条第2項の規定により特許を受けることができません。

[記]

本願発明請求項第1項～第10項の要旨は、複数の素子が形成された半導体基板に突起電極の先端部が露出するように樹脂層を形成し、突起電極部に電気接続のため半田バンプ(ソルダーボール)を形成し、一つ一つの素子に断片化する技術の提供であります。

しかし、これは既に従来技術として、日本国公開特許公報平6-151487(1994.5.31.)で半導体基板の突出バンプが露出されるように樹脂層を形成し、外部電気接続用バンプを露出部に接続させる技術と、韓国公開特許公報1

2004年 3月 3日 10時47分

ITOH INTERNATIONAL PATENT OFFICE

NO. 2055 P. 5

MOON & MOON International

994-18951(1994.8.19.)で複数の素子が形成された半導体基板に電気接続用電極と保護樹脂層を形成した後、一つ一つの素子に断片化する技術の結合により本願発明の技術分野において通常の知識を有する者の水準で容易に発明することができます。

[添付]

添付1 日本国公開特許公報平06-151487号(1994.5.31) 1部

添付2 韓国公開特許公報1994-18951号(1994.8.19) 1部 以上。

2004年 1月 30日

特許庁

審査4局

半導体2審査担当官室 審査官

2004年 3月 3日 10時47分

ITOHO INTERNATIONAL PATENT OFFICE 1994.08.19) 1부 NO. 2055 P. 6

(Reference)

대한민국특허청 (KR)
공개특허공보 (A)

Int. Cl.
H 01 L 23/02

제 1328 호

공개일자 1994. 8. 19

공개번호 94-18951

출원일자 1993. 1. 19

출원번호 93- 349

심사청구: 없음

발명자 김 구 성 경기도 수원시 장안구 우만동 29번지 주공아파트 208동 508호

출원인 삼성전자 주식회사 대표이사 김 광 호

경기도 수원시 권선구 매관동 416번지

대리인 변리사 조 용 식

(전 3 면).

반도체 장치의 제조방법

요 약

박형 패키지 및 3차원 패키지를 형성하기 위하여 범프 및 배선패턴을 형성하는 반도체 장치의 제조 방법에서 종래의 웨이퍼 조립공정으로 사진식각공정이나 스퍼터링법 또는 데이프 캐리어등을 이용하지 않고 범프형성용 및 배선패턴 형성용의 두개의 마스크의 개구를 이용하여 솔더범프와 소자간 배선패턴을 형성한 것이다. 즉 제1마스크의 개구에 솔더 불을 마운팅하여 반도체 웨이퍼상의 전극 패드에 솔더 범프를 형성하고, 다시 제2마스크의 개구를 이용하여 도제 패이스트를 도포하여 반도체 칩간의 범프의 배선 패턴을 형성하며, 적층을 위하여 반도체 웨이퍼를 절단함에 따라 반도체칩의 측면에 인/출력 단자를 형성시킨 임프전극 형성방법에 관한 것이다.

따라서 반도체 장치의 생산비용을 저감하게 하는 것과 동시에 제조원가의 절감, 설비투자용 최소화할 수 있다. 또한 박형 패키지 및 3차원 패키지의 제조 공정이 간단하다.

2004年 3月 3日 10時47分

ITOH INTERNATIONAL PATENT OFFICE

NO. 2055 P. 7

특허청구의 범위

공개특허 94-18951

1. 반도체 장치의 제조방법에 있어서, 반도체 기판상에 전극 패드와 표면보호막을 형성하는 공정과, 상기 전극 패드상에 페리어 패탈층을 형성하는 공정과, 상기 반도체 기판을 마그네트에 위치시킨 후 제1마스크를 이용하여 전극 패드상에 범프를 형성하는 공정과, 상기 범프가 형성된 반도체 기판상에 제2마스크를 이용하여 소자간 배선 패턴을 형성하는 공정과, 상기 전극적 구조의 반도체 기판상에 보호층을 형성하는 공정을 구비하는 반도체 장치의 제조 방법.

2. 제1항에 있어서, 상기 반도체 기판이 웨이퍼 상태인 반도체 장치의 제조 방법.

3. 제1항에 있어서, 상기 전극 패드를 형성하는 공정은 반도체 기판의 표면에 알루미늄(Al) 또는 알루미늄 합금층의 금속층을 적층형성한 다음 에칭공을 하여 패터닝하는 것을 특징으로 하는 반도체 장치의 제조 방법.

4. 제1항에 있어서, 상기 페리어 패탈층을 형성하기 전에 불산(HF)을 사용하여 전극 패드의 산화막층을 제거하는 공정을 실시하는 것을 특징으로 하는 반도체 장치의 제조 방법.

5. 제1항에 있어서, 상기 페리어 패탈층을 형성하기 전에 도금공정을 위해 염화팔라듐(PdCl_2)의 파우더를 염산(HCl) 용액에 녹인 혼합용액을 이용하여 전극 패드상에 환성화층을 형성시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

6. 제1항에 있어서, 상기 페리어 패탈층은 니켈(Ni)을 무전해도금(electroless plating) 법으로 형성하는 반도체 장치의 제조 방법.

7. 제5항에 있어서, 상기 페리어 패탈층은 표면 보호막의 개구부에 노출되게 형성으로 하는 반도체 장치의 제조 방법.

8. 제1항에 있어서, 상기 반도체 기판을 마그네트에 위치시키기 전에 반도체 웨이퍼상에 플럭스(Flux)를 도포하고 80°C에서 20분간 열처리하는 것을 특징으로 하는 반도체 장치의 제조 방법.

9. 제1항에 있어서, 상기 솔더 범프의 형성공정은 제1페탈마스크의 개구부에 제작된 솔더홀을 줄여서 전극 패드상에 솔더 리플로우(reflow)하여 구형의 솔더 범프를 형성시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

10. 제1항에 있어서, 상기 소자간 배선 패턴을 형성하는 공정은 스크린 프린팅(screen printing) 방식에 의해 형성시키는 것을 특징으로 하는 반도체 장치의 제조 방법.

11. 제10항에 있어서, 상기 소자간 배선 패턴은 도전경화용의 도제 레이스트 및 도제 잉크로 이루어지는 군에서 임의로 선택되는 하나의 물질로 형성하는 반도체 장치의 제조 방법.

12. 제1항에 있어서, 상기 보호층을 폴리이미드 수지로 형성하는 반도체 장치의 제조 방법.

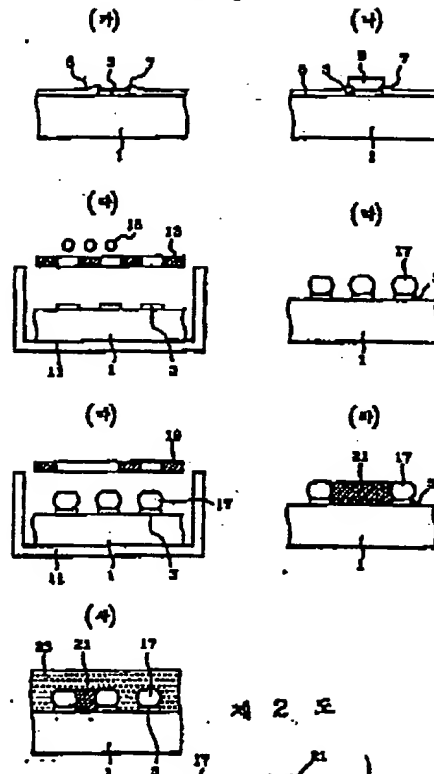
※ 참고사항: 최초출원 내용에 의하여 공개하는 것임.

도면의 간단한 설명

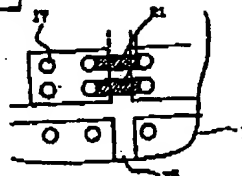
제1도 (가) 내지 제1도 (사)는 이 발명에 따른 실시예로서 범프전극을 형성하는 방법을 설명하기 위한 제조공정도, 제2도는 제1도 (바) 공정후의 평면도, 제3도는 제1도의 공정 결과구조인 반도체 패키지의 사시도, 제4도는 제3차원 구조를 갖는 적층형 반도체 패키지의 사시도이다.

공개특허 94-18951

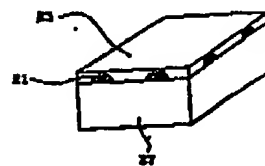
제 1 도



제 2 도



제 3 도



제 4 도

